

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-259834

(43)Date of publication of application : 08.10.1993

(51)Int.Cl.

H03K 3/356

(21)Application number : 04-053889

(71)Applicant : NEC CORP

(22)Date of filing : 12.03.1992

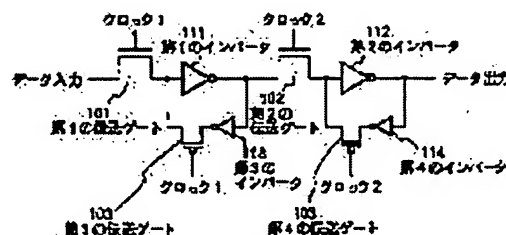
(72)Inventor : INOUE TOSHIAKI

(54) FLIP-FLOP CIRCUIT

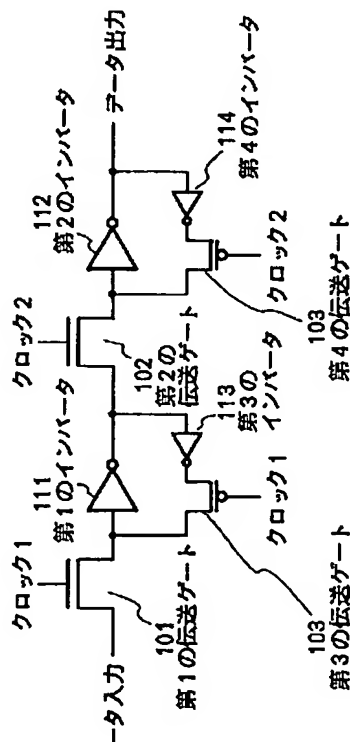
(57)Abstract:

PURPOSE: To reduce power consumption of a clock driver and a delay time of a clock signal by forming 1st and 2nd transmission gates with an N-channel MOSFET and forming 3rd and 4th transmission gates with a P-channel MOSFET.

CONSTITUTION: First and second transmission gates 101, 102 are formed by N-channel MOSFETs and third and fourth transmission gates 103, 104 are formed by P-channel MOSFETs. A voltage drop is produced while the transmission gate 101 is conductive in the process that a high potential data input is fetched by a master latch at a trailing edge of a clock signal and after the transmission gate 101 is interrupted, a high potential is surely pulled up by the transmission gate 103. Furthermore, a voltage drop is produced while the transmission gate 102 is conductive in the process that a high potential signal outputted by the master latch is fetched by the slave latch and after the transmission gate 102 is interrupted, a high potential is surely pulled up by the transmission gate 104. Thus, the increase in the power consumption due to voltage drop and flowing of a through-current is always prevented.



(11)特許出願公開番号



【特許請求の範囲】

【請求項１】 第１の伝送ゲートと、前記第１の伝送ゲートの出力を入力とする第１のインバータと、前記第１のインバータの出力を入力とする第２の伝送ゲートと、前記第２の伝送ゲートの出力を入力とする第２のインバータと、前記第１のインバータの出力を入力とする第３のインバータと、前記第３のインバータの出力を入力とする第３の伝送ゲートと、前記第２のインバータの出力を入力とする第４のインバータと、前記第４のインバータの出力を入力とする第４の伝送ゲートからなり、第１の伝送ゲートの出力と第３の伝送ゲートの出力を短絡し、第２の伝送ゲートの出力と第４の伝送ゲートの出力を短絡した構造をもつフリップフロップ回路において、第１および第２の伝送ゲートをｎＭＯＳＦＥＴで構成し、第３および第４の伝送ゲートをｐＭＯＳＦＥＴで構成することを特徴とするフリップフロップ回路。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】 本発明はフリップフロップ回路に関するものである。

【０００２】

【従来の技術】 フリップフロップ回路の伝送ゲートはＣＭＯＳで構成するものが一般的である。図４はこのような構成のフリップフロップ回路の例である。伝送ゲートをＣＭＯＳで構成することによって、伝送ゲートのチャネル抵抗を小さくし、また伝送ゲートを信号が通過することによって生じるトランジスタのしきい値電圧分の電圧降下（ V_T 落ち）が生じないため、インバータへの高電位（低電位）の入力電圧を確実に高電位（低電位）にすることができる。図において、４０１、４０２、４０３、４０４は伝送ゲート、１２０、１２１、１２２、１２３はインバータであり、伝送ゲートはＣＭＯＳで構成されている。これらの伝送ゲートは図２で構成されるクロックドライバによって駆動されている。

【０００３】

【発明が解決しようとする課題】 フリップフロップ回路の伝送ゲートをＣＭＯＳで構成することによって、伝送ゲートのチャネル抵抗は小さくなり、また V_T 落ちは生じないが、クロックドライバが駆動すべき負荷容量が大きいので、フリップフロップ回路の個数が多いほど、またクロック信号の周波数が高くなるほど、これらの伝送ゲートの負荷容量による、クロックドライバの消費電力は増大し、またクロックドライバの駆動能力が小さいと、遅延時間（クロック信号のエッジからデータ出力に要する時間）が増大するという問題があった。

【０００４】

【課題を解決するための手段】 本発明では、第１の伝送ゲートと、前記第１の伝送ゲートの出力を入力とする第１のインバータと、前記第１のインバータの出力を入力とする第２の伝送ゲートと、前記第２の伝送ゲートの出力を入力とする第２のインバータと、前記第１のインバータの出力を入力とする第３のインバータと、前記第３のインバータの出力を入力とする第３の伝送ゲートと、前記第２のインバータの出力を入力とする第４のインバータと、前記第４のインバータの出力を入力とする第４の伝送ゲートからなり、第１の伝送ゲートの出力と第３の伝送ゲートの出力を短絡し、第２の伝送ゲートの出力と第４の伝送ゲートの出力を短絡した構造をもつフリップフロップ回路において、第１および第２の伝送ゲートをｎＭＯＳＦＥＴで構成し、第３および第４の伝送ゲートをｐＭＯＳＦＥＴで構成している。

【０００５】

【作用】 このような手段をとることによって、クロックドライバが駆動する負荷容量を１／２程度に削減することができる。このことは、クロックドライバの消費電力を従来の１／２程度に削減できることを示している。またクロックドライバによるクロック信号の遅延時間も削減することができる。さらに伝送ゲートを単チャネルＭＯＳＦＥＴにしたことによって生じる V_T 落ちを防ぐことができる。結果として、従来のフリップフロップと比較して、高速化、低消費電力化が可能となる。

【０００６】

【作用】 このような手段をとることによって、クロックドライバが駆動する負荷容量を１／２程度に削減することができる。このことは、クロックドライバの消費電力を従来の１／２程度に削減できることを示している。またクロックドライバによるクロック信号の遅延時間も削減することができる。さらに伝送ゲートを単チャネルＭＯＳＦＥＴにしたことによって生じる V_T 落ちを防ぐことができる。結果として、従来のフリップフロップと比較して、高速化、低消費電力化が可能となる。

【０００６】 図３は本発明のフリップフロップ回路の動作波形の一例を示したものである。クロック信号の立ち下がりエッジで高電位のデータ入力をマスターラッチが取り込む過程で、伝送ゲート１０１が導通している間 V_T 落ちが生じるが、これが遮断した後は、伝送ゲート１０３によって確実に高電位プルアップされる。またマスターラッチが出力する高電位の信号をスレーブラッチが取り込む過程で、伝送ゲート１０２が導通している間 V_T 落ちが生じるが、これが遮断した後は、伝送ゲート１０４によって確実に高電位にプルアップされる。従って常に V_T 落ちして貫通電流を流すことによる消費電力の増加を防ぐことができる。

【０００７】

【実施例】 図１は本発明を適用したフリップフロップ回路の第１の実施例を示す。図に示すように、第１および第２の伝送ゲートをｎＭＯＳＦＥＴで構成し、第３および第４の伝送ゲートをｐＭＯＳＦＥＴで構成している。このような構成をとることによって、図２に示すクロックドライバが駆動する負荷容量を削減し、クロックドライバの消費電力およびクロック信号の遅延時間を小さくすることができる。また伝送ゲートを単チャネルＭＯＳＦＥＴにすることで生じる、信号の V_T 落ちによる消費電力の増加を防ぐことができる。以上述べた第１の実施例は立ち下がりエッジ動作のフリップフロップ回路であるが、本発明は、同様な構成の立ち上がりエッジ動作のフリップフロップにも適用できる。

【０００８】

【発明の効果】 本発明を適用することによって、フリップフロップ回路の伝送ゲートの負荷容量を１／２程度に

削減し、これを駆動するクロックドライバの消費電力とクロック信号の遅延時間を削減することができる。またクロック信号のエッジからのデータ信号の遅延時間を短縮することができるので、フリップフロップ回路の高速化、またはこれを多用した場合の低消費電力化にきわめて有効であるといえる。

【図面の簡単な説明】

【図1】 本発明のフリップフロップ回路の一実施例を示す図である。

【図2】 本発明のフリップフロップ回路の伝送ゲートを

駆動するクロックドライバを示す図である。

【図3】 本発明のフリップフロップ回路の動作波形を示す図である。

【図4】 従来のフリップフロップ回路を示す図である。

【符号の説明】

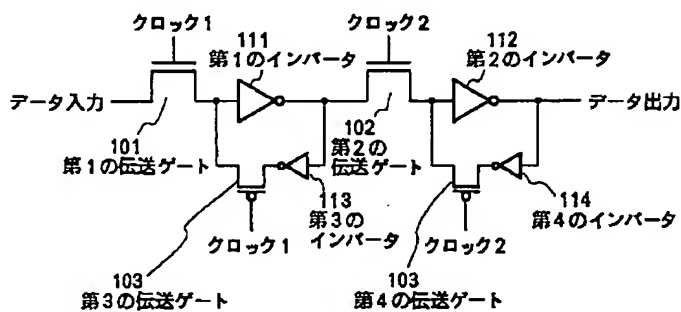
101、102 nMOSFET伝送ゲート

103、104 pMOSFET伝送ゲート

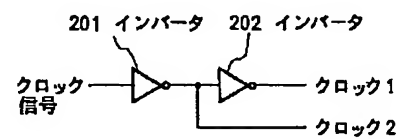
111～114、201、202 インバータ

401～404 CMOS伝送ゲート

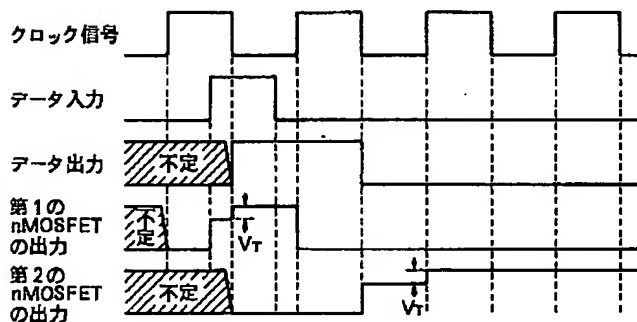
【図1】



【図2】



【図3】



【図4】

